

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-076299

(43) Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 21/8247  
H01L 27/115  
H01L 29/788  
H01L 29/792

(21) Application number : 2000-252158

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22) Date of filing : 23.08.2000

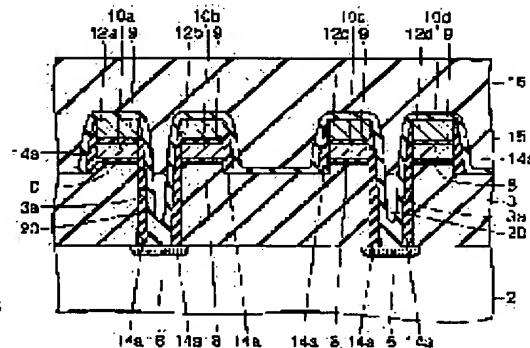
(72)Inventor : OONAKAMICHI TAKAHIRO  
SHIMIZU SATORU

**(54) SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device, ensuring reliability of operation and capable of obtaining high yield by suppressing crystal defects in the silicon substrate.

**SOLUTION:** A trench isolating oxide film 3 is formed in a groove formed on the silicon substrate 2. Floating gate electrodes 10a to 10d and control gate electrodes 12a to 12d are formed on the film 3. An opening 3a for exposing a surface of the substrate 2 is formed on a region interposed between the floating gate electrodes or the like. A BPTEOS film 16 is formed to embed the opening 3a and to cover the control gate electrode. A void 20 is formed in the inside of the opening 3a which is embedded by the film 16.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76299

(P2002-76299A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl.<sup>7</sup>  
H 01 L 27/108  
21/8242  
21/8247  
27/115  
29/788

識別記号

F I  
H 01 L 27/10  
29/78

テマコート<sup>®</sup> (参考)  
6 8 1 C 5 F 0 0 1  
4 3 4 5 F 0 8 3  
6 8 1 D  
3 7 1

審査請求 未請求 請求項の数 9 O L (全 18 頁) 最終頁に続く

(21)出願番号 特願2000-252158(P2000-252158)

(22)出願日 平成12年8月23日 (2000.8.23)

(71)出願人 000006013

三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号

(72)発明者 大中道 崇浩  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 清水 哲  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746  
弁理士 深見 久郎 (外4名)

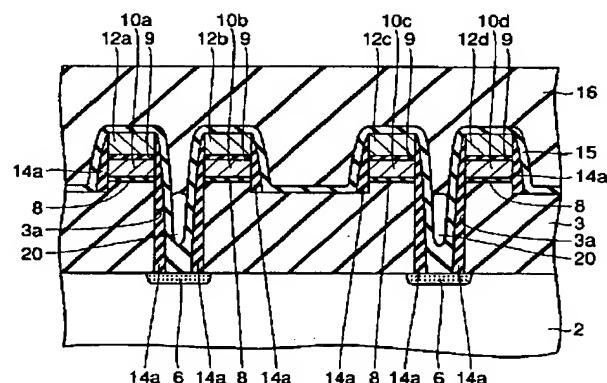
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 シリコン基板に結晶欠陥が発生するのを抑制して、動作の信頼性が確保され高い歩留まりが得られる半導体装置を提供する。

【解決手段】 シリコン基板2に形成された溝にトレンチ分離酸化膜3が形成されている。そのトレンチ分離酸化膜3上にフローティングゲート電極10a～10dおよびコントロールゲート電極12a～12dが形成されている。フローティングゲート電極等によって挟まれた領域にシリコン基板2の表面を露出する開口部3aが形成されている。開口部3aを埋込むとともにコントロールゲート電極を覆うようにBPTEOS膜16が形成されている。BPTEOS膜16によって埋込まれた開口部3a内にボイド20が形成されている。



1

## 【特許請求の範囲】

【請求項1】 主表面を有する半導体基板と、前記半導体基板の主表面に形成された溝と、前記溝に埋込まれた第1絶縁膜と、前記第1絶縁膜上に間隔を隔てて形成された2つの導電層と、前記2つの導電層によって挟まれた領域の直下に位置する前記半導体基板の表面を露出する、前記第1絶縁膜に形成された開口部と、前記開口部を埋込むとともに、前記2つの導電層を覆うように形成された第2絶縁膜と、前記第2絶縁膜によって埋込まれた前記開口部内に形成された空隙とを備えた、半導体装置。

【請求項2】 前記空隙は、前記第1絶縁膜によって挟まれた位置から前記2つの導電層によって挟まれた位置にまで延在する、請求項1記載の半導体装置。

【請求項3】 前記半導体基板に形成され、前記2つの導電層が横切るとともに、前記第1絶縁膜によって区切られた素子形成領域と、

前記2つの導電層のうちの一方の導電層を挟んで、他方の導電層が位置する側の前記素子形成領域に形成された所定導電型の一方側不純物領域および前記他方の導電層が位置する側とは反対側の前記素子形成領域に形成された所定導電型の他方側不純物領域とを備え、

前記導電層は、

前記素子形成領域上に形成された第1電極部と、前記第1電極部上に形成された第2電極部とを含む、請求項1または2に記載の半導体装置。

【請求項4】 前記2つの導電層によって挟まれた領域に位置する前記半導体基板の表面に形成された導電領域を備え、前記導電領域は前記一方側不純物領域を含む、請求項3記載の半導体装置。

【請求項5】 前記第1電極部はフローティングゲートを含み、

前記第2電極部はコントロールゲートを含み、前記一方側不純物領域はソース領域を含み、前記他方側不純物領域はドレイン領域を含む、請求項3または4に記載の半導体装置。

【請求項6】 半導体基板と、前記半導体基板に形成された溝と、前記溝に埋込まれた素子分離絶縁膜と、前記半導体基板に形成され、前記素子分離絶縁膜によって区切られた素子形成領域と、前記素子分離絶縁膜および前記素子形成領域を横切るように形成され、フローティングゲート電極およびコントロールゲート電極を含む第1ゲート配線と、

前記素子分離絶縁膜および前記素子形成領域を横切るように、前記第1ゲート配線と間隔を隔てて形成され、フローティングゲート電極およびコントロールゲート電極

50

2

を含む第2ゲート配線と、

前記第1ゲート配線と前記第2ゲート配線とによって挟まれた前記素子形成領域に形成されたソース領域と、前記第1ゲート配線を挟んで前記ソース領域とは反対側の前記素子形成領域に形成されたドレイン領域と、前記第1ゲート配線および前記第2ゲート配線によって挟まれた領域の前記半導体基板に形成され、前記ソース領域を含む導電領域と、前記第1ゲート配線および前記第2ゲート配線によって挟まれた領域の直下に位置する前記半導体基板の表面を露出する、前記素子分離絶縁膜に形成された開口部と、前記開口部を埋込むとともに、前記第1ゲート配線および前記第2ゲート配線を覆うように前記半導体基板上に形成された層間絶縁膜と、

前記層間絶縁膜によって埋込まれた前記開口部内に形成された空隙とを備えた、半導体装置。

【請求項7】 前記空隙は、前記素子分離絶縁膜によって挟まれた位置から前記第1ゲート配線および前記第2ゲート配線によって挟まれた位置にまで延在する、請求項6記載の半導体装置。

【請求項8】 半導体基板と、

前記半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜上に間隔を隔てて形成された2本の配線と、前記2本の配線によって挟まれた前記第1絶縁膜に形成され、前記半導体基板の表面を露出する開口部と、前記開口部を埋込むとともに、前記配線を覆うように前記半導体基板上に形成された第2絶縁膜と、前記第2絶縁膜によって埋められた前記開口部内に形成された空隙とを備えた、半導体装置。

【請求項9】 前記空隙は、前記第1絶縁膜によって挟まれた位置から前記2本の配線によって挟まれた位置にまで延在する、請求項8に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に、半導体装置の製造工程または完成した半導体装置において、半導体基板に結晶欠陥が発生するのが抑制される半導体装置に関するものである。

【0002】

【従来の技術】 近年、不揮発性半導体記憶装置の一種であるフラッシュメモリは、ダイナミック・ランダム・アクセス・メモリ(DRAM)よりも安価に製造できるため、次世代のメモリデバイスとして期待されている。フラッシュメモリのメモリセルは、対応したソース線に接続されるソース領域と、対応したビット線に接続されるドレイン領域と、情報を蓄積するためのフローティングゲート電極と、対応したワード線に接続されるコントロールゲート電極とを備えている。

【0003】 フローティングゲート電極の直下に位置す

るトンネル酸化膜からなるゲート絶縁膜のF N (Fowler Nordheim) トンネル現象やチャネルホットエレクトロン (Channel Hot Electron) 現象などによってフローティングゲート電極に電子を注入するか、フローティングゲート電極に蓄積された電子を引き抜くことによって、情報の消去または書きがなされる。このようにフローティングゲート電極への電子の注入や引き抜きによってフローティングゲート電極における電子の状態に対応したしきい値の2値状態が作り出されて、その状態によって“0”か“1”が読み出されることになる。

【0004】このようなフラッシュメモリを含めて、EEPROM (Electrically Erasable and Programmable Read Only Memory) といったフローティングゲート電極を有するフローティングゲート型の不揮発性半導体メモリにおいて、最も一般的に用いられているメモリセルの構成は、NOR (Not OR) 型アレイである。

【0005】NOR型アレイでは、各行のメモリセルのドレイン領域に接続されるコンタクトが形成される。金属シリサイドとポリシリコンとのポリサイド構造の配線や金属配線などでビット線が行方向に形成される。一方、各列のメモリセルのゲート配線は列方向に形成され、ビット線とゲート配線とがマトリックス状に形成されることになる。

【0006】そのような従来のフラッシュメモリの平面構造の一例を図43に示す。図43に示すように、トレンチ分離酸化膜103によって区切られた複数の素子形成領域Sを横切るように間隔を隔ててコントロールゲート電極112a、112b、112c、112dが形成されている。そのコントロールゲート電極112a、112b、112c、112dが素子形成領域Sを横切る部分では、さらにフローティングゲート電極110a、110b、110c、110dがそれぞれコントロールゲート電極の直下に形成されている。

【0007】そして、たとえばコントロールゲート電極112bを挟んで一方の素子形成領域Sにはソース領域106aが形成され、他方の素子形成領域Sにはドレイン領域104bが形成されている。各ドレイン領域はコンタクトホール117を介してビット線(図示せず)と電気的に接続されている。

【0008】各ソース領域は、たとえば、コントロールゲート電極112a、112bによって挟まれた領域の直下に位置するシリコン基板に形成された所定導電型の不純物領域によって互いに電気的に接続されている。このようなメモリセルにおけるソース領域の構造は、特にセルフアラインソース構造と呼ばれている。セルフアラインソース構造では、各メモリセルのソース領域はコンタクトを介して配線により接続されるのではなく、拡散層配線により接続されることになる。言い換えれば、拡散層配線がソース領域を含むことになる。

【0009】次に、このセルフアラインソース構造の製

造方法について説明する。まず、たとえば図43に示されるコントロールゲート電極112aとコントロールゲート電極112bとによって挟まれた領域などソース領域を形成するための領域を残してフォトレジストパターン(図示せず)を形成する。

【0010】そのフォトレジストパターンとコントロールゲート電極112a、112bをマスクとして、コントロールゲート電極112a、112bによって挟まれた領域に位置するトレンチ分離酸化膜103にエッチングを施してこれを除去し、トレンチ分離酸化膜103の直下に位置するシリコン基板の表面を露出する。

【0011】次に、そのコントロールゲート電極112a、112bによって挟まれた領域に露出したシリコン基板の表面に所定導電型のイオンを注入することで、各ソース領域を形成するとともに、その各ソース領域を列方向に接続する拡散層配線を自己整合的に形成する。

【0012】これにより、図43に示す断面線XLIV-XLIVにおける断面構造は、図44に示すように、トレンチ分離酸化膜103が除去されることで露出した溝102aの表面を含むシリコン基板102の表面に、ソース領域を含む拡散層配線106が自己整合的に形成される。この拡散層配線106は、シリコン基板102の主表面の部分(溝102aと溝102aとの間の領域)ではソース領域となる。

【0013】一方、図43に示す断面線XLV-XLVでは、図45に示すように、コントロールゲート電極112a、112cとコントロールゲート電極112b、112dとによって挟まれた領域に位置するトレンチ分離酸化膜103が除去されて、シリコン基板102(溝102aの底)の表面を露出する開口部103aが形成されている。その露出したシリコン基板102の表面にソース領域を含む拡散層配線106が形成される。

【0014】その後、図44および図45に示すように、開口部103aの側面上を含む、コントロールゲート電極112a～112dの側面上にサイドウォール絶縁膜114aがそれぞれ形成される。さらに、そのコントロールゲート電極112a～112dを覆うようにTEOS (Tetra Ethyl Ortho Silicate glass) 膜115が形成される。

【0015】次に、図46および図47に示すように、そのTEOS膜115上に、層間絶縁膜となるBPTEOS (Boro Phospho Tetra Ethyl Ortho Silicate glass) 膜116が形成される。次に、図48および図49に示すように、BPTEOS膜116に熱処理または研磨処理を施すことにより、BPTEOS膜116の表面を平坦にする。このようにして、NOR型アレイのフラッシュメモリの主要部分が完成する。

【0016】このフラッシュメモリによれば、メモリセルにおけるソース領域としてセルフアラインソース構造が採用されることで、各ソース領域をコンタクトを介し

て電気的に接続する必要がなくなる。すなわち、メモリセルのソース領域は、最小のデザインルールに基づいた隣接する2つコントロールゲート電極によって挟まれた領域に形成されることになって、メモリセルの微細化または高集積化を図ることができる。

【0017】

【発明が解決しようとする課題】上述したように、セルフアラインソース構造を採用したフラッシュメモリによれば、ソース領域が最小のデザインルールに基づいた隣接する2つのコントロールゲート電極によって挟まれた領域に形成されることで、メモリセルの微細化を図ることができる。

【0018】また、素子を電気的に分離するための分離構造として、上記のようにトレンチ分離酸化膜103を用いたトレンチ分離構造が採用されている。このトレンチ分離構造では、従来のLOCOS分離構造と比べてさらなる微細化を図ることができる。トレンチ分離構造は、図44に示すように、シリコン基板102を比較的急峻な角度で溝102aを形成し、その溝102aに酸化膜を埋込んでトレンチ分離酸化膜103を形成するものである。

【0019】ところが、上述したフラッシュメモリでは、図45に示すように、セルフアライン構造のソース領域を形成する際に、溝102aに埋め込まれたトレンチ分離酸化膜103のうち、隣接する2つのコントロールゲート電極によって挟まれた領域に位置する部分が除去されて、シリコン基板（溝102a）の表面を露出する開口部103aが形成される。

【0020】図50または図51に示すように、この開口部103aの実質的な深さとしては、溝102aの深さにコントロールゲート電極112a～112dおよびフローティングゲート電極110a～110dの厚さを加えた深さとなって、開口部103aは、シリコン基板2上に形成されるパターンにおいて、最も深い開口部になる。

【0021】なお、図51は、図43に示す断面線L1-L1に沿ったより素子形成領域の側に近い部分における断面構造を示し、したがって、コントロールゲート電極112a～112dの下にONO膜109を介してフローティングゲート電極110a～110dがそれぞれ形成されている。

【0022】開口部103aが最も深くなることで、その開口部103aを埋めるように層間絶縁膜としてのBPTEOS膜116などが形成された後には、点線枠Bに示す開口部103aの底に位置するシリコン基板102に作用する応力が大きくなる。この応力によって、後の製造工程においてシリコン基板102に結晶欠陥が発生することがある。また、完成した半導体装置においても、その応力によってシリコン基板102に結晶欠陥が発生することがある。

【0023】このように、セルアライン構造のフラッシュメモリにおけるメモリセル領域では、隣接する2つのコントロールゲート電極によって挟まれた領域に形成される開口部103aがBPTEOS膜116などの層間絶縁膜で埋込まれることで、特に開口部103aの底に位置するシリコン基板102の部分には、より強い応力が作用して、シリコン基板102に結晶欠陥が発生しやすくなる。

【0024】シリコン基板102に結晶欠陥が生じることで、たとえばリーク電流が発生してフラッシュメモリが所望の動作を行なわなくなるおそれがある。また、半導体装置として所望の動作を行なうことができず、半導体装置の歩留まりが低下するおそれがある。

【0025】今後、フラッシュメモリにおいて微細化がさらに進むと、この開口部のアスペクト比はさらに大きくなつて、この部分においてシリコン基板に作用する応力はさらに強くなることが想定される。その結果、シリコン基板には結晶欠陥がさらに発生しやすくなつて、半導体装置の動作の信頼性が損なわれたり、歩留まりが低下することが懸念される。

【0026】本発明は、上記想定される問題点を解決するためになされたものであり、半導体基板における結晶欠陥の発生を抑制して、動作の信頼性が確保され、高い歩留まりが得られる半導体装置を提供することを目的とする。

【0027】

【課題を解決するための手段】本発明に係る半導体装置の第1のものは、主表面を有する半導体基板と、溝と、第1絶縁膜と、2つの導電層と、開口部と、第2絶縁膜と、空隙とを備えている。溝は半導体基板の主表面に形成されている。第1絶縁膜はその溝に埋込まれている。2つの導電層は、第1絶縁膜上に間隔を隔てて形成されている。開口部は、第1絶縁膜に形成され、2つの配線によって挟まれた第1絶縁膜の直下に位置する半導体基板の表面を露出する。第2絶縁膜は、開口部を埋込むとともに2つの導電層を覆うように形成されている。空隙は、第2絶縁膜が埋込まれた開口部内に形成されている。

【0028】この構造によれば、第2絶縁膜を形成した後の半導体装置の製造工程において特に開口部の底部分において半導体基板に作用する応力が開口部内に形成された空隙によって緩和される。また、製造工程中に限らず完成した半導体装置においても、シリコン基板に作用する応力がこの空隙によって緩和される。これにより、半導体基板に結晶欠陥が発生することが抑制されて、たとえばリーク電流などを防止することができ、所望の動作が確保されて、歩留まりの高い半導体装置が得られる。

【0029】好ましくは、空隙は第1絶縁膜によって挟まれた位置から2つの導電層によって挟まれた位置にま

で延在している。

【0030】この場合には、2つの導電層の間に位置する空隙により2つの導電層間の容量が低減されて、半導体装置の高速動作を図ることができる。

【0031】また好ましくは、半導体基板に形成され、2つの導電層が横切るとともに、第1絶縁膜によって区切られた素子形成領域と、2つの導電層のうちの一方の導電層を挟んで、他方の導電層が位置する側の素子形成領域に形成された所定導電型の一方側不純物領域および他方の導電層が位置する側とは反対側の素子形成領域に形成された所定導電型の他方側不純物領域とを備え、導電層は、素子形成領域上に形成された第1電極部と、その第1電極部上に形成された第2電極部とを含んでいる。<sup>10</sup>

【0032】この場合には、素子形成領域において、第1電極部、第2電極部、一方側および他方側不純物領域を含む半導体素子が得られる。

【0033】さらに好ましくは、2つの導電層によって挟まれた領域に位置する半導体基板の表面に形成された導電領域を備え、その導電領域は一方側不純物領域を含んでいる。<sup>20</sup>

【0034】この場合には、半導体素子の一方側不純物領域が導電領域によって他の部分と電気的に接続される。

【0035】また好ましくは、第1電極部はフローティングゲートを含み、第2電極部はコントロールゲートを含み、一方側不純物領域はソース領域を含み、他方側不純物領域はドレイン領域を含んでいる。

【0036】この場合には、半導体素子として、フローティングゲート、コントロールゲート、ソース領域およびドレイン領域を含むメモリセルが構成される。

【0037】本発明に係る半導体装置の第2のものは、半導体基板と、溝と、素子分離絶縁膜と、素子形成領域と、第1ゲート配線と、第2ゲート配線と、ソース領域と、ドレイン領域と、導電領域と、開口部と、層間絶縁膜と、空隙とを備えている。溝は半導体基板に形成されている。素子分離絶縁膜は溝に埋込まれている。素子形成領域は半導体基板に形成され、素子分離絶縁膜によって区切られている。第1ゲート配線は、素子分離絶縁膜および素子形成領域を横切るように形成され、フローティングゲート電極およびコントロールゲート電極を含んでいる。第2ゲート配線は、素子分離絶縁膜および素子形成領域を横切るように第1ゲート配線と間隔を隔てて形成され、フローティングゲート電極およびコントロールゲート電極を含んでいる。ソース領域は、第1ゲート配線と第2ゲート配線とによって挟まれた素子形成領域に形成されている。ドレイン領域は、第1ゲート配線を挟んでソース領域とは反対側の素子形成領域に形成されている。導電領域は、第1ゲート配線および第2ゲート配線によって挟まれた領域の半導体基板に形成され、ソ<sup>30</sup>

ース領域を含んでいる。開口部は、第1ゲート配線および第2ゲート配線によって挟まれた素子分離絶縁膜に形成され、溝を形成する半導体基板の表面を露出している。層間絶縁膜は、開口部を埋込むとともに、第1ゲート配線および第2ゲート配線を覆うように半導体基板上に形成されている。空隙は、素子分離絶縁膜が埋込まれた開口部内に形成されている。

【0038】この構成によれば、フローティングゲート、コントロールゲート、ソース領域およびドレイン領域を含むメモリセルにおいて、層間絶縁膜を形成した後の製造工程中に開口部の底部分に位置する半導体基板に作用する応力が、開口部内に形成された空隙によって緩和される。また、完成した半導体装置においても、半導体基板に作用する応力がこの空隙によって緩和される。これにより、半導体基板に結晶欠陥が発生することが抑制されて、たとえばリーク電流などを防止することができ、メモリセルの所望の動作が確保されて、歩留まりの高い半導体装置が得られる。

【0039】好ましくは、空隙は素子分離絶縁膜によって挟まれた位置から第1ゲート配線および第2ゲート配線によって挟まれた位置にまで延在している。

【0040】この場合には、第1ゲート配線と第2ゲート配線との間に位置する空隙により第1ゲート配線と第2ゲート配線との線間容量が低減されて、半導体装置の高速動作を図ることができる。

【0041】本発明に係る半導体装置の第3のものは、半導体基板と、第1絶縁膜と、2本の配線と、開口部と、第2絶縁膜と、空隙とを備えている。第1絶縁膜は半導体基板上に形成されている。2本の配線は第1絶縁膜上に間隔を隔てて形成されている。開口部は2本の配線によって挟まれた第1絶縁膜に形成され、半導体基板の表面を露出している。第2絶縁膜は開口部を埋込むとともに、配線を覆うように半導体基板上に形成されている。空隙は、第2絶縁膜によって埋められた開口部内に形成されている。

【0042】この構造によれば、第2絶縁膜を形成した後の半導体装置の製造工程において、特に開口部の底部分に位置する半導体基板に作用する応力が開口部内に形成された空隙によって緩和される。また、完成した半導体装置においても、半導体基板に作用する応力がこの空隙によって緩和される。これにより、半導体基板に結晶欠陥が発生することが抑制されて、たとえばリーク電流などを防止することができ、所望の動作が確保されて、歩留まりの高い半導体装置が得られる。

【0043】好ましくは、空隙は第1絶縁膜によって挟まれた位置から2本の配線によって挟まれた位置にまで延在している。

【0044】この場合には、2本の配線の間に位置する空隙により2本の配線の線間容量が低減されて、半導体装置の高速動作を図ることができる。

## 【0045】

## 【発明の実施の形態】実施の形態1

本発明の実施の形態1に係るフラッシュメモリについて説明する。まず、そのフラッシュメモリにおけるメモリセルの平面構造と等価回路とを図1および図2にそれぞれ示す。図1に示すように、トレンチ分離酸化膜3によって区切られたシリコン基板の表面には、複数の素子形成領域Sが形成されている。その素子形成領域Sを横切るように、たとえばフローティングゲート電極10a～10dが形成されている。そのフローティングゲート電極10a～10d上にコントロールゲート電極12a～12dがそれぞれ形成されている。

【0046】コントロールゲート電極12a、12bによって挟まれた領域にはソース領域6aが形成されている。コントロールゲート電極12bを挟んでソース領域6aと反対側の素子形成領域Sにはドレイン領域4bが形成されている。このフローティングゲート電極10b、コントロールゲート電極12b、ソース領域6aおよびドレイン領域4bにより1つのメモリセルが構成される。

【0047】このメモリセルにおけるドレイン領域4bはコンタクトホール17を介して行方向（コントロールゲート電極が延びる方向と略直交する方向）に走る配線（図示せず）により、図2に示すように他のメモリセルのドレイン領域と電気的に接続されている。

【0048】一方、ソース領域6aは、コントロールゲート電極12a、12bによって挟まれた領域のシリコン基板2に形成された列方向に延びる拡散層配線6によって、図2に示すように、他のメモリセルのソース領域と電気的に接続されている。したがって、拡散層配線6はソース領域を含むことになる。

【0049】次にメモリセルの断面構造について説明する。まず、コントロールゲート電極が延びる方向と略直交する方向に沿った素子形成領域の断面構造（断面線I—I—I—I）について説明する。図3に示すように、シリコン基板2上に、トンネル酸化膜8を介在させてフローティングゲート電極10a、10b、10c、10dがそれぞれ形成されている。

【0050】そのフローティングゲート電極10a～10d上にONO膜9を介在させてコントロールゲート電極12a、12b、12c、12dがそれぞれ形成されている。フローティングゲート電極10a～10dおよびコントロールゲート電極12a～12dの両側面上には、サイドウォール絶縁膜14aがそれぞれ形成されている。

【0051】コントロールゲート電極12aとコントロールゲート電極12bとによって挟まれたシリコン基板2の表面にはソース領域6aが形成されている。コントロールゲート電極12bとコントロールゲート電極12cとによって挟まれたシリコン基板2にはドレイン領域

4bが形成されている。

【0052】コントロールゲート電極12aを挟んでソース領域6aと反対側のシリコン基板2の領域にはドレイン領域4aが形成されている。また、コントロールゲート電極12cとコントロールゲート電極12dとによって挟まれたシリコン基板2にはソース領域6bが形成されている。

【0053】コントロールゲート電極12a～12dおよびフローティングゲート電極10a～10dを覆うようにシリコン基板2上にTEOS膜15が形成されている。そのTEOS膜15上に層間絶縁膜としてのBPTEOS膜16が形成されている。そのBPTEOS膜16にドレイン領域4a、4bの表面を露出するコンタクトホール17がそれぞれ形成されている。そのコンタクトホール17にプラグ18がそれぞれ埋込まれている。BPTEOS膜16上に、プラグ18に電気的に接続される金属配線19が形成されている。

【0054】次に、コントロールゲート電極が延びる方向に沿った、各素子形成領域Sに形成されたドレイン領域の断面構造（断面線IV—IV）について説明する。図4に示すように、シリコン基板2には、トレンチ分離酸化膜を形成するための溝2aが形成されている。その溝2aを埋めるようにトレンチ分離酸化膜3がそれぞれ形成されている。

【0055】隣り合うトレンチ分離酸化膜3の間に、たとえばドレイン領域4d、4b、4cがそれぞれ形成されている。トレンチ分離酸化膜3上にTEOS膜15を介在させて層間絶縁膜としてのBPTEOS膜16が形成されている。そのBPTEOS膜16に、ドレイン領域4d、4b、4cの表面をそれぞれ露出するコンタクトホール17がそれぞれ形成されている。

【0056】そのコンタクトホール17にプラグ18がそれぞれ形成されている。BPTEOS膜16上にそのプラグ18と電気的に接続される金属配線19が形成されている。

【0057】次に、コントロールゲート電極が延びる方向に沿った、素子形成領域に形成されたソース領域の断面構造（断面線V—V）について説明する。図5に示すように、シリコン基板2にはトレンチ分離酸化膜を形成するための溝2aが形成されている。その溝2aの表面を含むシリコン基板2の表面に拡散層配線6が形成されている。

【0058】拡散層配線6は、たとえばソース領域6aを含んでいる。シリコン基板2上に、TEOS膜15を介在させて層間絶縁膜としてのBPTEOS膜16が形成されている。このように、ソース領域が形成される領域では、溝2aに埋込まれたトレンチ分離酸化膜3が除去されている。

【0059】次に、コントロールゲート電極が延びる方向と略直交する方向に沿った、トレンチ分離酸化膜3が

形成された領域の断面構造（断面線V I – V I）について説明する。この断面は、比較的素子形成領域に近い位置における断面である。図6に示すように、シリコン基板2に形成された溝にトレンチ分離酸化膜3が埋込まれている。

【0060】そのトレンチ分離酸化膜3上にトンネル酸化膜8を介在させてフローティングゲート電極10a～10dがそれぞれ形成されている。そのフローティングゲート電極10a～10d上にONO膜9を介在させてコントロールゲート電極12a～12dがそれぞれ形成されている。

【0061】そのコントロールゲート電極12a、12bによって挟まれた領域には、シリコン基板2（溝2a）の表面を露出する開口部3aが形成されている。また、同様にコントロールゲート電極12c、12dによって挟まれた領域には、シリコン基板2（溝）の表面を露出する開口部3aが形成されている。開口部3aの底に露出したシリコン基板2の表面にはソース領域を含む拡散層配線6が形成されている。

【0062】開口部3aの側面上を含む、コントロールゲート電極12a～12d、フローティングゲート電極10a～10dの側面上には、それぞれサイドウォール絶縁膜14aが形成されている。そのサイドウォール絶縁膜14aを覆うようにTEOS膜15が形成されている。そのTEOS膜15上に層間絶縁膜としてのBPTEOS膜16が形成されている。TEOS膜15およびBPTEOS膜16が埋込まれた開口部3aにはボイド（空隙）20が形成されている。

【0063】次に、コントロールゲート電極が延びる方向と直交する方向に沿った、トレンチ分離酸化膜が形成された領域の断面構造（断面線V I I – V I I）について説明する。この断面は、素子形成領域から比較的離れた位置における断面である。図7に示すように、この断面においては、コントロールゲート電極12a～12dの下に、フローティングゲート電極は存在しない。すなわち、トレンチ分離酸化膜3上にONO膜9を介在させてコントロールゲート電極12a～12dがそれぞれ位置している。

【0064】コントロールゲート電極12a、12cとコントロールゲート電極12b、12dとによって挟まれた領域には、シリコン基板2（溝）の表面を露出する開口部3aがそれぞれ形成されている。開口部3aの側面上を含むコントロールゲート電極12a～12dの側面上にはサイドウォール絶縁膜14aが形成されている。

【0065】開口部3aを埋込むとともにコントロールゲート電極12a～12dを覆うようにTEOS膜15を介在させてBPTEOS膜16が形成されている。前述したように、TEOS膜15およびBPTEOS膜16が埋込まれた開口部3aにはボイド（空隙）20が形

10

20

30

40

50

成されている。

【0066】なお、この断面線に沿った部分に形成されるコントロールゲート電極12a～12dにおいては、隣接するフローティングゲート電極間の比較的狭い部分を埋めるように形成されるため、その膜厚は、図6に示されるフローティングゲート電極とコントロールゲート電極とを合わせた膜厚にほぼ等しくなる。

【0067】図6および図7に示されるコントロールゲート電極12a～12dによって挟まれた領域に形成されるシリコン基板2（溝2a）の表面を露出する開口部3aは、後述するように、ソース領域を含む拡散層配線6をシリコン基板2に形成するために設けられるものである。

【0068】この開口部3aをTEOS膜15およびBPTEOS膜16で埋込んだ後の製造工程においては、この開口部3aの底に位置するシリコン基板2に強い応力が作用することになる。このとき、開口部3a内に空隙20が形成されていることで、シリコン基板2に作用する応力を緩和することができる。シリコン基板2に作用する応力が緩和されることでシリコン基板2に結晶欠陥の発生することが抑えられ、たとえばリーク電流の発生などの結晶欠陥に基づく不具合を解消することができる。その結果、動作の信頼性が確保され、歩留まりの高いフラッシュメモリが得られる。

【0069】次に、上述したフラッシュメモリの製造方法の一例について、図1に示す断面線V – Vと断面線V I I – V I Iとにそれぞれ対応する断面構造を示して説明する。まず、図8および図9に示すように、シリコン基板2の所定の領域にエッチングを施すことにより、トレンチ分離酸化膜を形成するための深さ約300～400nmの溝2aを形成する。その溝2aにシリコン酸化膜を埋込んでトレンチ分離酸化膜3を形成する。

【0070】次に、図10および図11に示すように、露出しているシリコン基板2の表面にゲート絶縁膜となるトンネル酸化膜8を形成する。次に、図12および図13に示すように、たとえばCVD法等によりフローティングゲート電極となる膜厚約100nmのポリシリコン膜10をシリコン基板2上に形成する。

【0071】次に、図14および図15に示すように、ポリシリコン膜10上に所定のフォトレジストパターン（図示せず）を形成し、そのフォトレジストパターンをマスクとしてポリシリコン膜10にフローティングゲート電極を形成するためのエッチングを施す。このパターンが施された段階では、フローティングゲート電極となるポリシリコン膜10は、図1に示すコントロールゲート電極が延びる方向と直交する方向にストライプ状に形成された状態にある。

【0072】次に、図16および図17に示すように、フローティングゲート電極となるポリシリコン膜10上に、シリコン酸化膜とシリコン窒化膜との積層膜からな

るONO膜9を、たとえばCVD法により形成する。この後、メモリセル以外の周辺回路領域（図示せず）においては、上述したONO膜9およびフローティングゲート電極となるポリシリコン膜10を除去する。さらに、周辺回路領域においてトランジスタを形成するためのゲート酸化膜が形成される。

【0073】次に、図18および図19に示すように、ONO膜9上に、たとえばタンクステンシリサイド膜とポリシリコン膜とからなるポリサイド構造のコントロールゲート電極となるポリサイド膜12を形成する。このポリサイド膜12の膜厚は約150～200nmである。

【0074】次に、図20および図21に示すように、ポリサイド膜12上に所定のフォトレジストパターン（図示せず）を形成し、そのフォトレジストパターンをマスクとしてポリサイド膜12にエッチングを施すことにより、コントロールゲート電極12a～12dを形成する。次に、所定のフォトレジストパターン（図示せず）を形成し、そのフォトレジストパターンをマスクとしてONO膜9およびフローティングゲート電極となるポリシリコン膜10にエッチングを施すことにより、フローティングゲート電極を形成する。

【0075】この段階で、図1に示すフローティングゲート電極10a～10d等が形成され、断面線V-Vにおいては、図22に示すようにONO膜とフローティングゲート電極となるポリシリコン膜は除去された状態になる。また、断面線VII-VIIにおいては、図23に示すように、トレンチ分離酸化膜3上にONO膜9を介在させてコントロールゲート電極12a～12dが形成された状態になる。

【0076】次に、図24および図25に示すように、コントロールゲート電極12a～12dが形成されたシリコン基板2上に、コントロールゲート電極12a～12dが延びる方向に沿って所定のフォトレジストパターン13を形成する。このとき、たとえばコントロールゲート電極12b、12cによって挟まれた領域はフォトレジストパターン13に覆われる。コントロールゲート電極12a、12bによって挟まれた領域はフォトレジストパターン13によって覆われない。

【0077】次に、図26および図27に示すように、フォトレジストパターン13およびコントロールゲート電極12a～12dをマスクとして、トレンチ分離酸化膜3にエッチングを施して溝2aの表面を露出する。

【0078】次に、図28および図29に示すように、露出した溝2aの表面を含むシリコン基板2の表面にイオン注入法により所定導電型のイオンを注入して、ソース領域を含む拡散層配線6を形成する。また、コントロールゲート電極を挟んでソース領域と反対側の素子形成領域にはドレイン領域がそれぞれ形成される。

【0079】次に、図30および図31に示すように、

シリコン基板2上に、たとえばCVD法によりTEOS膜（Tetra Ethyl Ortho Silicate glass）14を形成する。次に、図32および図33に示すようにTEOS膜14の全面に異方性エッチングを施すことにより、開口部3aの側面上を含むコントロールゲート電極12a～12dの側面上にサイドウォール絶縁膜14aを形成する。次に、図34および図35に示すように、コントロールゲート電極12a～12dを覆うように、たとえばCVD法によりシリコン基板2上にさらにTEOS膜15を形成する。

【0080】次に、このTEOS膜15上に、層間絶縁膜となるBPTEOS膜を形成することになる。BPTEOS膜とは、不純物としてボロン（B）とリン（P）とを含んだTEOS膜である。特に、BPTEOS膜を用いて開口部を埋込む場合、図36に示すように、不純物の濃度が高いほどアスペクト比がより高い開口部を埋込むことができることが知られている。逆に言えば、不純物濃度が比較的低い場合には、アスペクト比の大きい開口部を埋込むことができなくなる。

【0081】本フラッシュメモリではこのようなBPTEOS膜中の不純物濃度と埋込み可能な開口部のアスペクト比の関係を利用して、トレンチ分離酸化膜3に形成された開口部3aに積極的に空隙（ボイド）を形成する。

【0082】ここで開口部3aの深さとしては、トレンチ分離酸化膜3を形成するための溝2aの深さに、フローティングゲート電極およびコントロールゲート電極の膜厚を加えた深さになる。上述したように、溝2aの深さは約300～400nmであり、フローティングゲート電極およびコントロールゲート電極の膜厚を合わせた膜厚は約250～300nmである。したがって、開口部3aの深さは約550～700nmとなる。この開口部3aは、シリコン基板2上に形成された他の開口部あるいは段差部分に比べて2～3倍程度深く、最も深い開口部となっている。

【0083】そこで、図37および図38に示すように、開口部3aにおける埋込み特性を悪化させるために、TEOS膜15上に、不純物として添加されるボロンとリンの濃度が比較的低いBPTEOS膜16を形成して、開口部3aの内側にボイド（空隙）20を形成する。この後、BPTEOS膜を平坦化することで、フラッシュメモリの主要部分が完成する。

【0084】このフラッシュメモリにおいては、開口部3a内にボイド20が形成されることで、BPTEOS膜16を形成した後の工程において、特に点線枠Aで示す開口部3aの底近傍に位置するシリコン基板2に作用する応力の逃道が得られて応力が緩和される。これにより、シリコン基板に結晶欠陥が発生するのが抑制され、結晶欠陥が発生することに起因するたとえばリーク電流の発生等の不都合が解消され、所望の動作を行なう

ことができるフラッシュメモリが得られる。

【0085】また、BPTEOS膜を形成した後の製造工程中に発生する結晶欠陥が抑制されることで、フラッシュメモリの歩留まりも向上する。さらに、完成したフラッシュメモリにおいても、たとえば熱による応力も緩和することができて、フラッシュメモリの動作の信頼性が向上する。

【0086】なお、BPTEOS膜中のボロン濃度およびリン濃度を適切に選択することで、最も深い開口部3a内にのみポイド20を形成し、開口部3aよりも浅い他の開口部や段差部分においてはポイドを形成することなくBPTEOS膜16によって完全に埋込むことができる。

#### 【0087】実施の形態2

本発明の実施の形態2に係るフラッシュメモリについて説明する。実施の形態1においてフラッシュメモリでは、図37および図38に示すように、開口部3a内に形成されるポイド20においては、その上端はフローティングゲート電極10a～10dの下端（下面）よりも低いところに位置していた。つまり、ポイド20はトレニチ分離酸化膜3によって挟まれた位置に形成されていた。

【0088】本実施の形態に係るフラッシュメモリでは、図39および図40に示すように、トレニチ分離酸化膜3によって挟まれた位置からフローティングゲート電極10a～10dおよびコントロールゲート電極12a～12dによって挟まれた位置にまで延在するポイド21が形成されている。なお、これ以外の構成については実施の形態1において説明したフラッシュメモリと同様なので同一部材には同一符号を付しその説明は省略する。

【0089】次に、上述したフラッシュメモリの製造方法について説明する。このようなポイド21を形成するには、実施の形態1において説明した図35に示す工程の後に、より埋込み特性が悪いBPTEOS膜を形成することで、開口部3aには、ポイド21が形成される。すなわち、ボロン濃度およびリン濃度のより低いBPTEOS膜を形成することで、開口部3aにおける埋込み特性が悪化して、より大きいポイド21が形成されることになる。

【0090】このフラッシュメモリによれば、まず、実施の形態1において説明したように、点線枠Aに示す部分に集中する応力がポイド21によって緩和することができて、シリコン基板2に結晶欠陥が発生するのを抑制することができる。そして、本フラッシュメモリでは、このようなシリコン基板2に作用する応力の緩和の効果に加えて、ゲート配線間容量の低減効果が得られる。

【0091】このことについて説明する。まず、図41に示すように、フローティングゲート電極10a、10bおよびコントロールゲート電極12a、12b間の容

10 20 30 40 50

量Csは、BPTEOS膜16に基づく容量C1および容量C2とポイド21に基づく容量C3との3つの容量を直列接続させた容量になる。ここで、 $C1 = \epsilon_{0X} \cdot a / s$ 、 $C2 = \epsilon_{GAP} \cdot b / s$ 、 $C3 = \epsilon_{0X} \cdot c / s$ である。 $\epsilon_{GAP}$ はポイドの誘電率、 $\epsilon_{0X}$ はBPTEOS膜の誘電率、aおよびcはBPTEOS膜の膜厚、bはポイドの長さ、sは断面積である。

【0092】一方、従来のフラッシュメモリまたは実施の形態1におけるフラッシュメモリでは、図42に示すように、フローティングゲート電極10a、10bおよびコントロールゲート電極12a、12b間の容量Coは、 $Co = \epsilon_{0X} \cdot f / s$ となる。ここで、 $f = a + b + c$ である。BPTEOS膜の誘電率 $\epsilon_{0X}$ はポイドの誘電率 $\epsilon_{GAP}$ よりも十分に大きいため、容量Csは容量Coよりも小さくなる。その結果、ソース領域を挟んで位置するフローティングゲート電極10a、10bおよびコントロールゲート電極12a、12bにおいて、特にポイド21を挟み込む位置において両者の容量が低減される。

【0093】ところで、フラッシュメモリでは、読出や書込動作の際に、コントロールゲート電極はそれぞれの動作電圧をもって充電される。その充電時間は、ゲート容量と寄生容量との合計である容量Cと、ゲートの配線抵抗Rとの積RCに比例し、この充電時間が短い方が高速動作が可能とされる。

【0094】したがって、本フラッシュメモリにおいては、上述したポイド21を形成することで、ソース領域を挟んで位置するコントロールゲート電極間の寄生容量Csが低減して、ゲートの配線抵抗Rを増大させることなく容量Cを低減することができる。これにより、読出や書込動作時の誘電時間減少することができて、高速ランダム読出や高速書込といった高速性能化を実現することができる。

【0095】なお、上記各実施の形態におけるフラッシュメモリでは、開口部を埋込む層間絶縁膜として、BPTEOS膜を例に挙げて説明したが、開口部3a内にのみポイドを形成し、他の開口部や段差部分についてはポイドを形成することなく完全に埋込むことができる膜であれば、BPTEOS膜に限られず、他の材質からなる絶縁膜であってもよい。

【0096】また、上記各実施の形態では、セルファラインソース構造を有するフラッシュメモリを例に挙げて説明したが、この他に、セルファラインソース構造を用いたEEPROMなどの不揮発性半導体記憶装置にも適用することができる。

【0097】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図され

る。

【0098】

【発明の効果】本発明に係る半導体装置の第1のものによれば、第2絶縁膜を形成した後の半導体装置の製造工程において特に開口部の底部分において半導体基板に作用する応力が開口部内に形成された空隙によって緩和される。また、製造工程中に限らず完成した半導体装置においても、シリコン基板に作用する応力がこの空隙によって緩和される。これにより、半導体基板に結晶欠陥が発生することが抑制されて、たとえばリーク電流などを防止することができ、所望の動作が確保されて、歩留まりの高い半導体装置が得られる。

【0099】好ましくは、空隙は第1絶縁膜によって挟まれた位置から2つの導電層によって挟まれた位置にまで延在していることで、2つの導電層の間に位置する空隙により2つの導電層間の容量が低減されて、半導体装置の高速動作を図ることができる。

【0100】また好ましくは、半導体基板に形成され、2つの導電層が横切るとともに、第1絶縁膜によって区切られた素子形成領域と、2つの導電層のうちの一方の導電層を挟んで、他方の導電層が位置する側の素子形成領域に形成された所定導電型の一方側不純物領域および他方の導電層が位置する側とは反対側の素子形成領域に形成された所定導電型の他方側不純物領域とを備え、導電層は、素子形成領域上に形成された第1電極部と、その第1電極部上に形成された第2電極部とを含んでいることで、素子形成領域において、第1電極部、第2電極部、一方側および他方側不純物領域を含む半導体素子が得られる。

【0101】さらに好ましくは、2つの導電層によって挟まれた領域に位置する半導体基板の表面に形成された導電領域を備え、その導電領域は一方側不純物領域を含んでいることで、半導体素子の一方側不純物領域が導電領域によって他の部分と電気的に接続される。

【0102】また好ましくは、第1電極部はフローティングゲートを含み、第2電極部はコントロールゲートを含み、一方側不純物領域はソース領域を含み、他方側不純物領域はドレイン領域を含んでいることで、半導体素子として、フローティングゲート、コントロールゲート、ソース領域およびドレイン領域を含むメモリセルが構成される。

【0103】本発明に係る半導体装置の第2のものによれば、フローティングゲート、コントロールゲート、ソース領域およびドレイン領域を含むメモリセルにおいて、層間絶縁膜を形成した後の製造工程中に、開口部の底部分に位置する半導体基板に作用する応力が開口部内に形成された空隙によって緩和される。また、完成した半導体装置においても、半導体基板に作用する応力がこの空隙によって緩和される。これにより、半導体基板に結晶欠陥が発生することが抑制されて、たとえばリーク

電流などを防止することができ、メモリセルの所望の動作が確保されて、歩留まりの高い半導体装置が得られる。

【0104】好ましくは、空隙は素子分離絶縁膜によって挟まれた位置から第1ゲート配線および第2ゲート配線によって挟まれた位置にまで延在していることで、第1ゲート配線と第2ゲート配線との間に位置する空隙により第1ゲート配線と第2ゲート配線との線間容量が低減されて、半導体装置の高速動作を図ることができる。

【0105】本発明に係る半導体装置の第3のものによれば、第2絶縁膜を形成した後の半導体装置の製造工程において、特に開口部の底部分に位置する半導体基板に作用する応力が開口部内に形成された空隙によって緩和される。また、完成した半導体装置においても、半導体基板に作用する応力がこの空隙によって緩和される。これにより、半導体基板に結晶欠陥が発生することが抑制されて、たとえばリーク電流などを防止することができ、所望の動作が確保されて、歩留まりの高い半導体装置が得られる。

【0106】好ましくは、空隙は第1絶縁膜によって挟まれた位置から2本の配線によって挟まれた位置にまで延在していることで、2本の配線の間に位置する空隙により2本の配線の線間容量が低減されて、半導体装置の高速動作を図ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係るフラッシュメモリのメモリセル領域の平面構造を示す図である。

【図2】 同実施の形態において、メモリセルの等価回路を示す図である。

【図3】 同実施の形態において、図1に示す断面線I—I—I—Iにおける断面図である。

【図4】 同実施の形態において、図1に示す断面線I—V—IVにおける断面図である。

【図5】 同実施の形態において、図1に示す断面線V—Vにおける断面図である。

【図6】 同実施の形態において、図1に示す断面線V—I—V—Iにおける断面図である。

【図7】 同実施の形態において、図1に示す断面線V—I—I—V—Iにおける断面図である。

【図8】 同実施の形態において、フラッシュメモリの製造方法の一工程を示す、断面線V—Vにおける断面図である。

【図9】 同実施の形態において、フラッシュメモリの製造方法の一工程を示す、断面線V—I—I—V—Iにおける断面図である。

【図10】 同実施の形態において、図8に示す工程の後に行なわれる工程を示す断面図である。

【図11】 同実施の形態において、図9に示す工程の後に行なわれる工程を示す断面図である。

【図12】 同実施の形態において、図10に示す工程

の後に行なわれる工程を示す断面図である。

【図13】 同実施の形態において、図11に示す工程の後に行なわれる工程を示す断面図である。

【図14】 同実施の形態において、図12に示す工程の後に行なわれる工程を示す断面図である。

【図15】 同実施の形態において、図13に示す工程の後に行なわれる工程を示す断面図である。

【図16】 同実施の形態において、図14に示す工程の後に行なわれる工程を示す断面図である。

【図17】 同実施の形態において、図15に示す工程の後に行なわれる工程を示す断面図である。

【図18】 同実施の形態において、図16に示す工程の後に行なわれる工程を示す断面図である。

【図19】 同実施の形態において、図17に示す工程の後に行なわれる工程を示す断面図である。

【図20】 同実施の形態において、図18に示す工程の後に行なわれる工程を示す断面図である。

【図21】 同実施の形態において、図19に示す工程の後に行なわれる工程を示す断面図である。

【図22】 同実施の形態において、図20に示す工程の後に行なわれる工程を示す断面図である。

【図23】 同実施の形態において、図21に示す工程の後に行なわれる工程を示す断面図である。

【図24】 同実施の形態において、図22および図23に示す工程の後に行なわれる工程を示す平面図である。

【図25】 同実施の形態において、図24に示すXXV-XXVにおける断面図である。

【図26】 同実施の形態において、図24および図25に示す工程の後に行なわれる工程を示す、図24に示す断面線XXVI-XXVIにおける断面図である。

【図27】 同実施の形態において、図25に示す工程の後に行なわれる工程を示す断面図である。

【図28】 同実施の形態において、図26に示す工程の後に行なわれる工程を示す断面図である。

【図29】 同実施の形態において、図27に示す工程の後に行なわれる工程を示す断面図である。

【図30】 同実施の形態において、図28に示す工程の後に行なわれる工程を示す断面図である。

【図31】 同実施の形態において、図29に示す工程の後に行なわれる工程を示す断面図である。

【図32】 同実施の形態において、図30に示す工程の後に行なわれる工程を示す断面図である。

【図33】 同実施の形態において、図31に示す工程の後に行なわれる工程を示す断面図である。

【図34】 同実施の形態において、図32に示す工程の後に行なわれる工程を示す断面図である。

【図35】 同実施の形態において、図33に示す工程の後に行なわれる工程を示す断面図である。

【図36】 同実施の形態において、BPTEOS膜中

10

20

30

40

50

の不純物濃度と埋込可能な開口部のアスペクト比との関係を示すグラフである。

【図37】 同実施の形態において、図35に示す工程の後に行なわれる工程を示す断面図である。

【図38】 同実施の形態において、図35に示す工程の後に行なわれる工程の図1に示す断面線VI-VIにおける断面図である。

【図39】 本発明の実施の形態2に係るフラッシュメモリの、図1に示す断面線VI-VIに対応する断面図である。

【図40】 同実施の形態において、図1に示す断面線VI-I-VI-Iに対応する断面図である。

【図41】 同実施の形態において、フローティングゲート電極およびコントロールゲート電極間の容量を説明するための第1の断面図である。

【図42】 同実施の形態において、フローティングゲート電極およびコントロールゲート電極間の容量を説明するための第2の断面図である。

【図43】 従来のフラッシュメモリのメモリセル領域の平面構造を示す図である。

【図44】 従来のフラッシュメモリの製造方法の一工程を示す、図43に示す断面線XLIV-XLVに対応する断面図である。

【図45】 従来のフラッシュメモリの製造方法の一工程を示す、図43に示す断面線XLV-XLVに対応する断面図である。

【図46】 図44に示す工程の後に行なわれる工程を示す断面図である。

【図47】 図45に示す工程の後に行なわれる工程を示す断面図である。

【図48】 図46に示す工程の後に行なわれる工程を示す断面図である。

【図49】 図47に示す工程の後に行なわれる工程を示す断面図である。

【図50】 従来のフラッシュメモリにおける問題点を説明するための、図43に示す断面線XLV-XLVにおける断面図である。

【図51】 従来のフラッシュメモリの問題点を説明するための、図43に示す断面線LI-LIにおける断面図である。

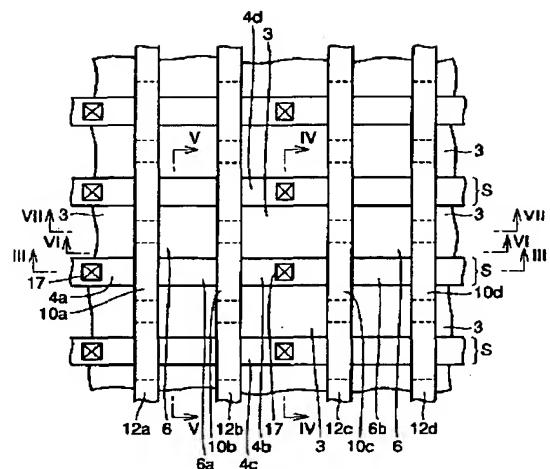
#### 【符号の説明】

2 シリコン基板、2a 溝、3 トレンチ分離酸化膜、3a 開口部、4a, 4b ドレイン領域、6 拡散層配線、6a, 6b ソース領域、8 トンネル酸化膜、9 ONO膜、10 ポリシリコン膜、10a~10d フローティングゲート電極、12 ポリサイド膜、12a~12d コントロールゲート電極、13 フォトレジストパターン、14 TEOS膜、14a サイドウォール絶縁膜、15 TEOS膜、16 BPTEOS膜、17 コンタクトホール、18 ブラグ、

21

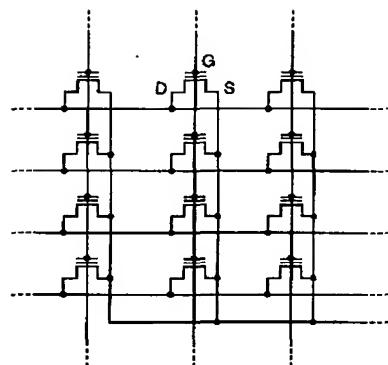
## 19 金属配線、20, 21 ポイド。

【図1】

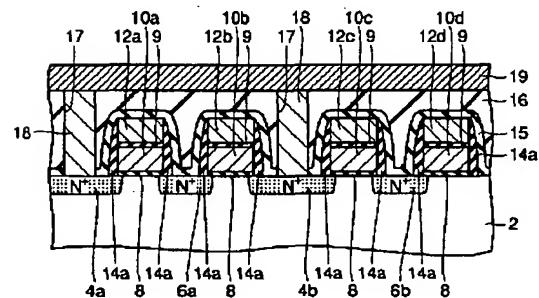


22

【図2】

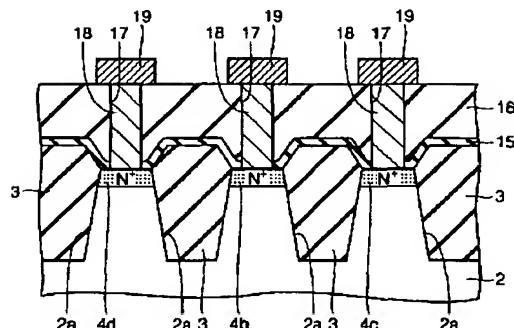


【图3】

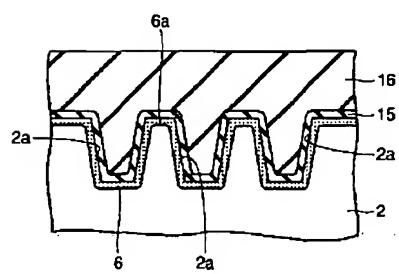


【図5】

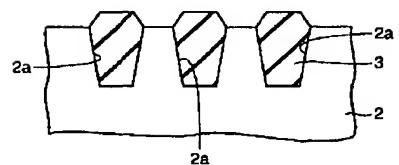
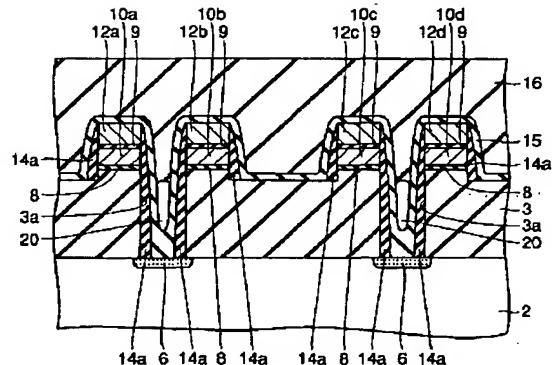
【図4】



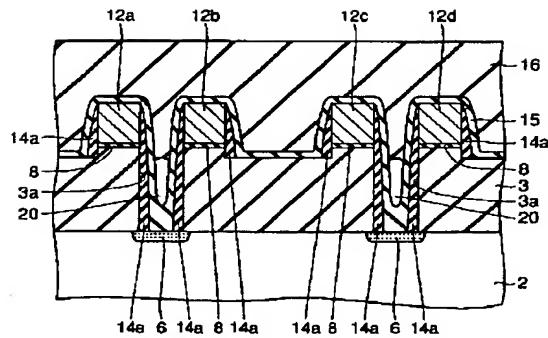
〔图6〕



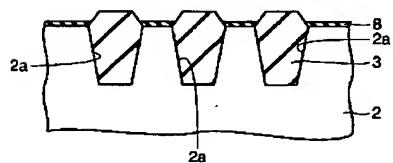
【図8】



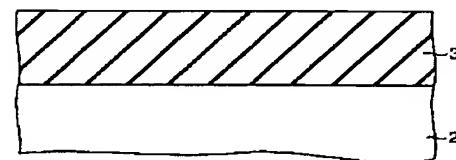
【図7】



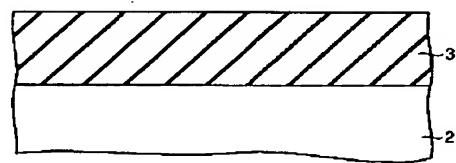
【図10】



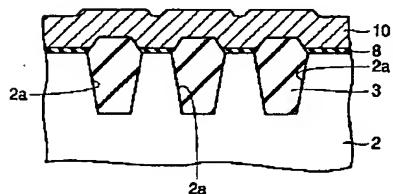
【図9】



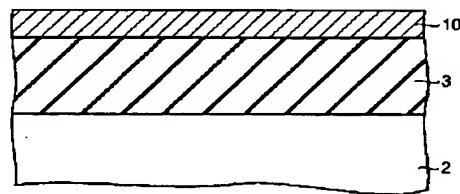
【図11】



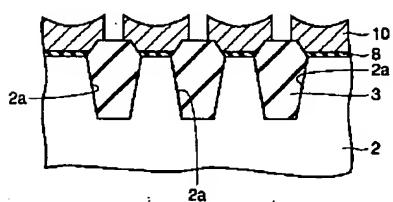
【図12】



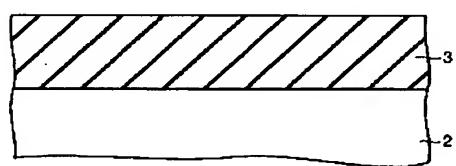
【図13】



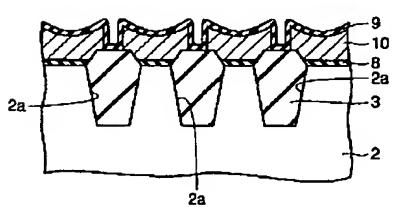
【図14】



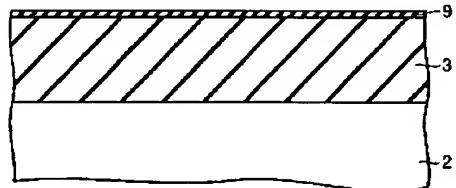
【図15】



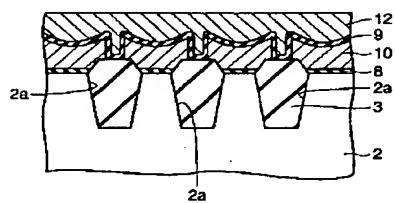
【図16】



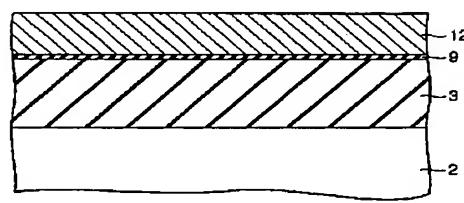
【図17】



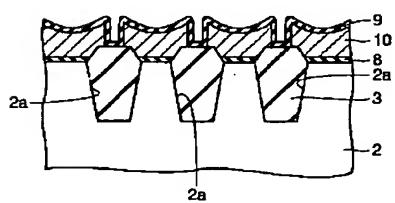
【図18】



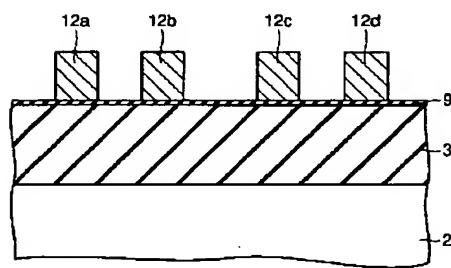
【図19】



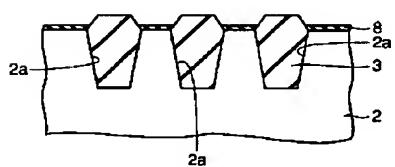
【図20】



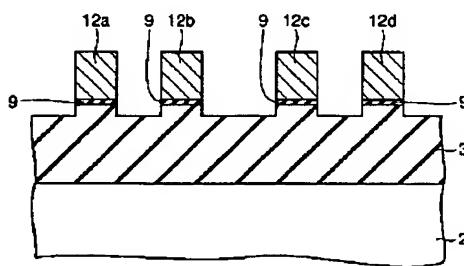
【図21】



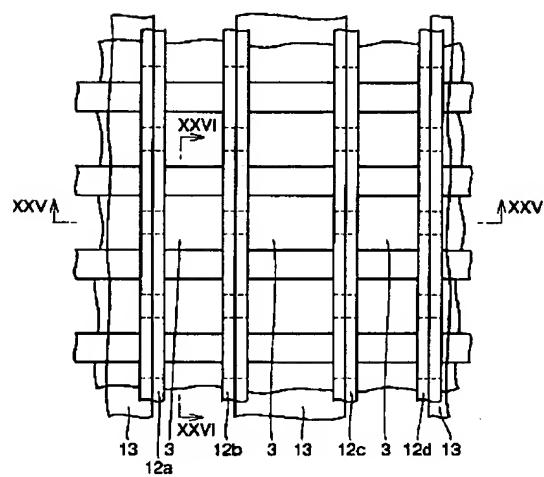
【図22】



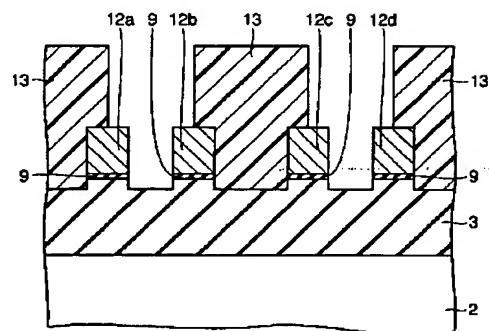
【図23】



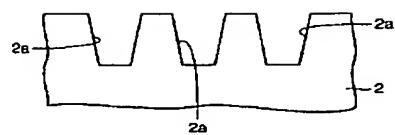
【図24】



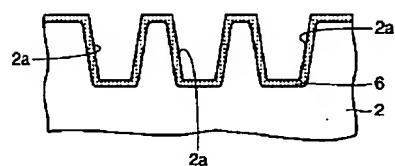
【図25】



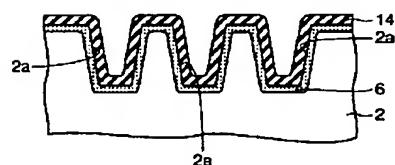
【図26】



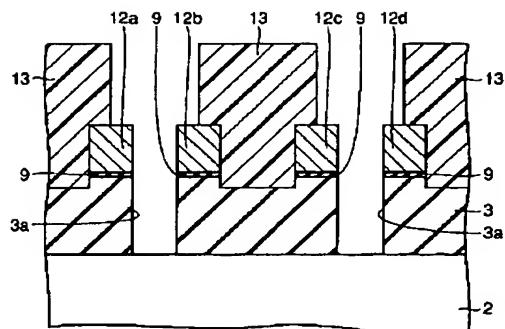
【図28】



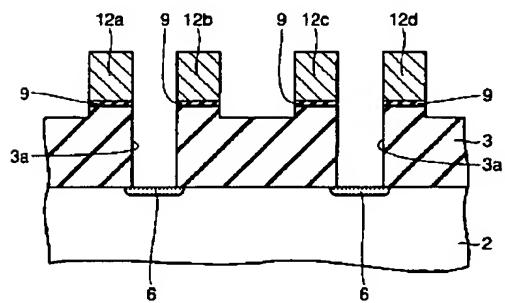
【図30】



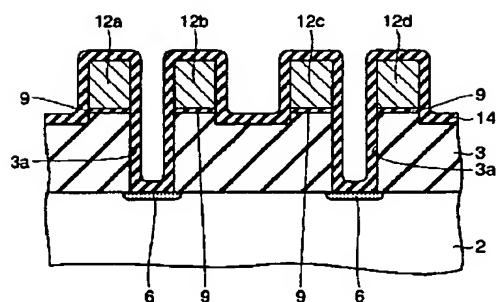
【図27】



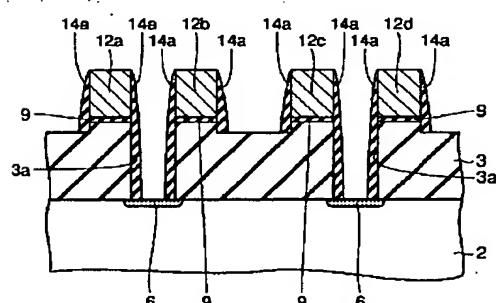
【図29】



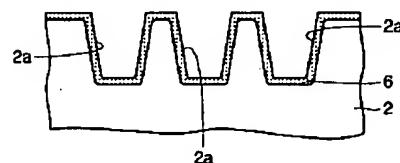
【図31】



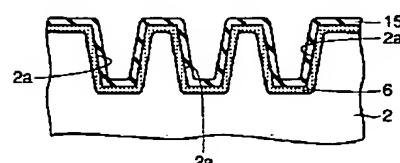
【図33】



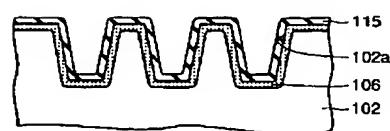
【図32】



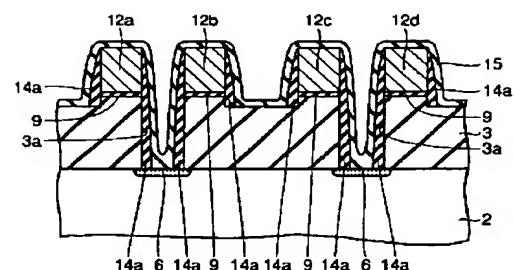
【図34】



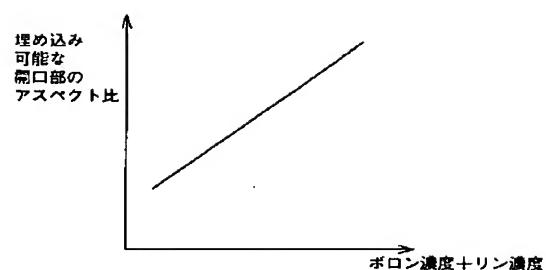
【図44】



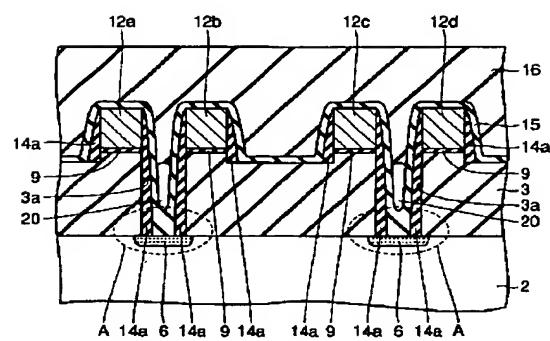
【図35】



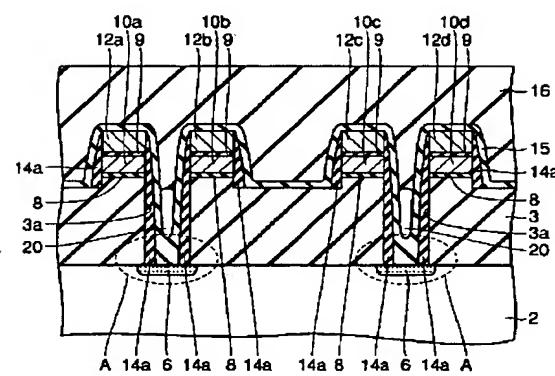
【図36】



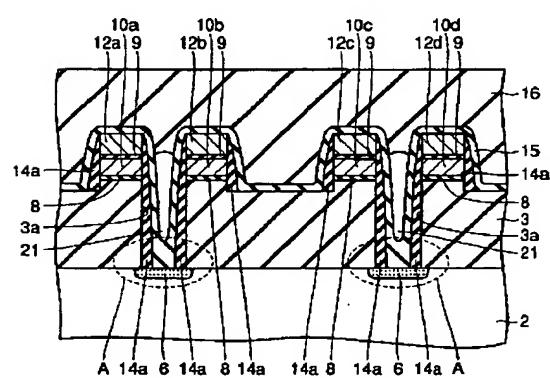
【図37】



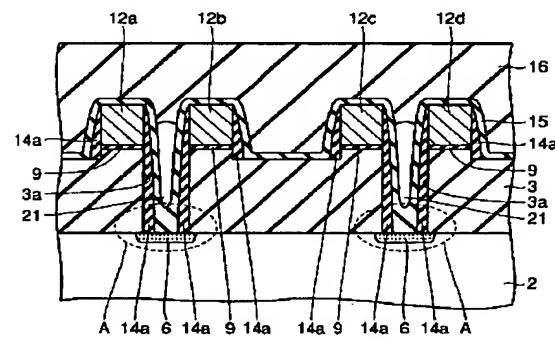
【図38】



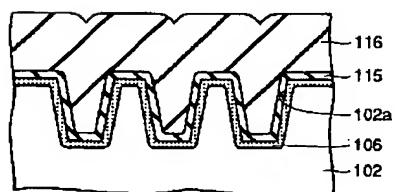
【図39】



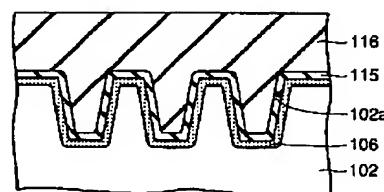
【図40】



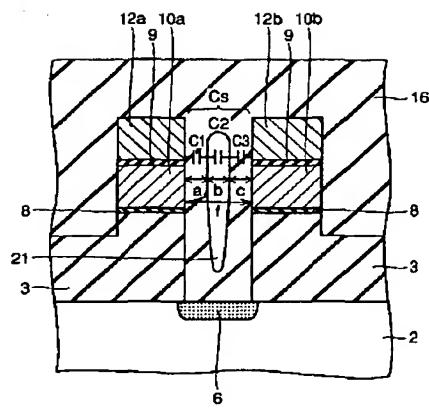
【図46】



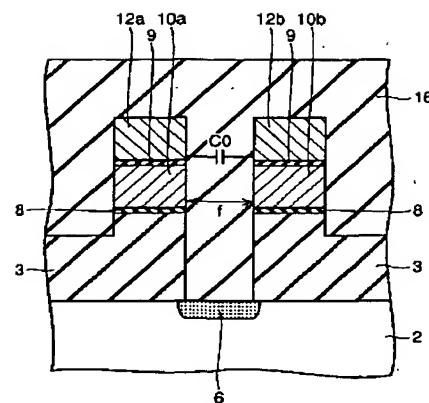
【図48】



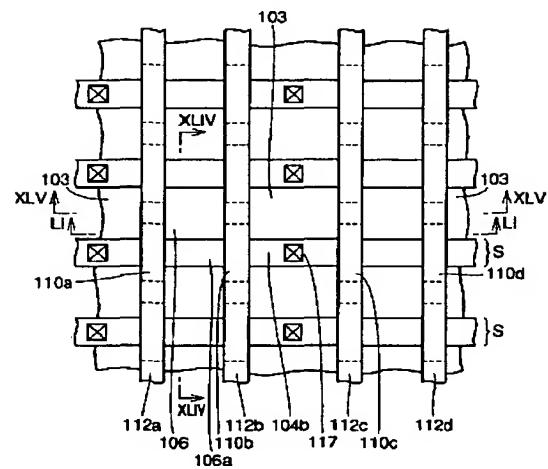
【図41】



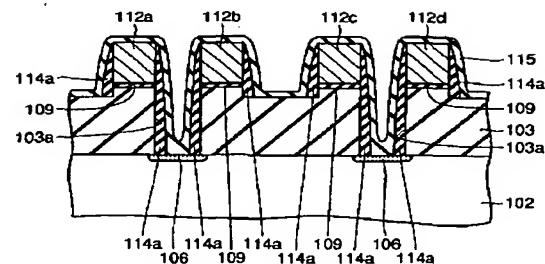
【図42】



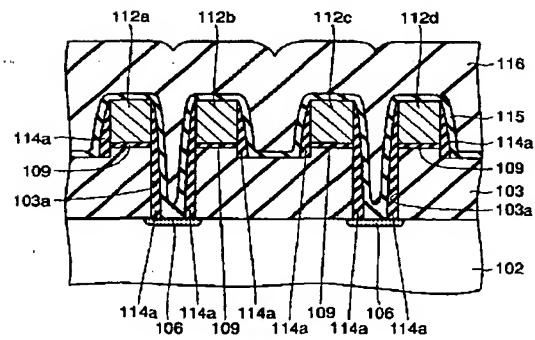
【図43】



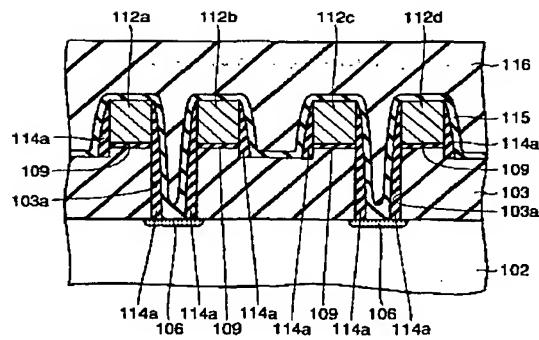
【図45】



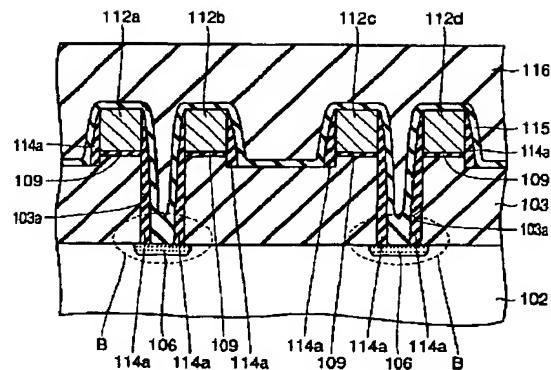
【図47】



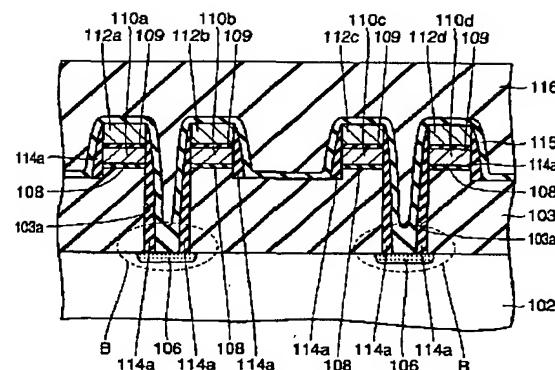
【図49】



【図50】



【図51】



フロントページの続き

(51) Int. Cl. 7

H 01 L 29/792

識別記号

F I

テーマコード (参考)

F ターム (参考) 5F001 AA01 AB08 AD51 AD60  
 5F083 EP02 EP23 EP55 EP77 ER22  
 GA03 JA04 JA35 JA39 JA56  
 KA01 KA05 KA14 LA12 LA16  
 LA20 MA06 MA20 NA01 NA08